

## 発明の名称

画像情報の伝送装置、画像情報の伝送システム及び画像情報の伝送方法

## 発明の背景

本発明は、画像情報の伝送装置、画像情報の伝送システム及び画像情報の伝送方法に関する。

近年、コンピュータの利用分野が広がっている。その中で、コンピュータを、CPU（中央演算処理装置）等を含む部分（「第1の端末装置」と言う。）と、画像の表示部（又は表示部及び入力部）を含む部分（「第2の端末装置」と言う。）とに分離したコンピュータが市場から要望されている。

図3は、第1の端末装置と第2の端末装置を有するコンピュータの概念図である。

図3において、301はCPUを含む第1の端末装置、302は表示部及びペン入力部を含む第2の端末装置、303は通常のPC（パーソナル・コンピュータの略であって、CPUと表示部を有している。）、304はドッキングステーション、305はキーボード、306は表示部である。第1の端末装置301はCPU311及び無線通信部312を有する。第2の端末装置302は表示部兼ペン入力部321、無線通信部323を有している。ユーザは、ペン322を表示部兼ペン入力部321にタッチさせることにより、コンピュータへの指令を入力することが出来る。

第1の端末装置301のCPU311で生成された画像情報が、無線通信部312から送信される。第2の端末装置302の無線通信部323は画像情報を受信し、表示部兼ペン入力部321に伝送する。表示部兼ペン入力部321は、入力した画像情報を表示する。

ユーザがペン322でコンピュータに対する指令を第2の端末装置の表示部兼ペン入力部321に入力すると、当該指令情報が無線通信部323から送信される。第1の端末装置301の無線通信部312は当該指令情報を入力し、CPU311に伝送する。CPU311は、指令情報を入力し、指令情報に従って情報を処理する。

通常ユーザは第1の端末装置301及び第2の端末装置302のみを使用する。ユーザは軽くて接続線のない第2の端末装置302を持って自由に行動することが出来る。

ユーザは第1の端末装置301にドッキングステーション304を接続し、ドッキングステーション304にキーボード305及び表示部306を接続することにより、第1の端末装置301、ドッキングステーション304、キーボード305及び表示部306からなるコンピュータシステムを構築して使用することも出来る。

通常のPC303は、オプションである無線通信部331を組み込むことが出来る。PC303のCPUが生成した画像情報が無線通信部331から送信される。第2の端末装置302の無線通信部323は画像情報を受信し、表示部兼ペン入力部321に伝送する。表示部兼ペン入力部321は、入力した画像情報を表示する。

ユーザがペン322でコンピュータに対する指令を第2の端末装置の表示部兼ペン入力部321に入力すると、当該指令情報が無線通信部323から送信される。通常のPC303に組み込んだ無線通信部331は当該指令情報を入力し、CPUに伝送する。通常のPC303のCPUは、指令情報を入力し、指令情報に従って情報を処理する。

このように、ユーザは、通常のPCを第1の端末装置301として使用することが出来る。

図15は、第1の端末装置と第2の端末装置を有する従来のコンピュータのブロック図（主としてコンピュータに含まれる画像情報の伝送装置、画像情報の伝送システムを表示している。）である。図15の従来のコンピュータは、第1の端末装置から第2の端末装置に画像情報を伝送する画像情報の伝送装置を含む。

図15において、1501は第1の端末装置、1502は第2の端末装置、1503はディスプレイ（表示部）、1504は第1の端末装置1501と第2の端末装置1502とを接続する有線である。

第1の端末装置1501は、CPU1511、ビデオグラフィックスコントロール部1513、LCD駆動部1515（液晶ディスプレイ駆動部）、液晶ディ

スプレイ 1516、通信ボード 1514 を有する。コンピュータにとって不可欠であるが、本発明と直接関係しない ROM、RAM 等の記載は省略している。

CPU 1511、ビデオグラフィックスコントロール部 1513、及び通信ボード 1514 は PCI バス 1512 で相互に接続されている。

ビデオグラフィックスコントロール部 1513 は、CPU 1521、入出力部 1522、RAM 1523、VRAM 1524、書き込み／読み出しアドレスレジスタ 1525、読み出しアドレスレジスタ 1526、クロック発生器 1527、パラレル／シリアル変換部 1528 を有する。

CPU 1521、入出力部 1522、RAM 1523、VRAM 1524、書き込み／読み出しアドレスレジスタ 1525 等は、内部バス 1529 で相互に接続されている。

CPU 1511 は、ソフトウェア言語（例えば DirectX（マイクロソフト社の登録商標））で記載した画像の変更指令を PCI バス 1512 を通じて、ビデオグラフィックスコントロール部 1513 及び通信ボード 1514 に伝送する。

ビデオグラフィックスコントロール部 1513 の入出力部 1522 は、入力したソフトウェア言語で記載した画像の変更指令を内部バス 1529 を介して CPU 1521 に伝送する。

CPU 1521 は、ソフトウェア言語（当該コンピュータの OS の Application Programming Interface 上に配置されたプログラム）で記載した画像の変更指令を、画像情報デコーダ 1541 を利用してハードウェアレベルでの各ピクセルのレベル情報（例えば VRAM のどのアドレスの値をいくつに変更するという情報）に変換する。RAM 1523 は、画像情報デコーダ 1541 を利用して各ピクセルのレベル情報を生成する時のスクラッチ領域である。VRAM 1524 は、任意のアドレスにランダムアクセスし、書き込み又は読み出し出来るポートと（書き込み／読み出しアドレスレジスタ 1525 によりアドレスが指定される。）、高速で一定の順番で各アドレスのデータを読み出し出来るポート（読み出しアドレスレジスタ 1526 によりアドレスが指定される。）とを有する画像表示用のデュアルポート RAM である。VRAM 1524 には、各ピクセルのレベル情報（RGB 各サブピクセルのレベル情報）及びアトリビュートデータ等が

記憶されている。

CPU 1521 等が、書き込み／読み出しアドレスレジスタ 1525 にアドレスを設定する。当該アドレスに内部バス 1529 を通じて情報が書き込まれ、当該アドレスから内部バス 1529 を通じて情報が読み出される。

クロック発生器 1527 が読み出しアドレスレジスタ 1526 を設定する。アドレスレジスタ 1526 の設定値は通常極めて高速でインクリメントされる。アドレスレジスタ 1526 によって指定されたアドレスの情報が読み出されて、パラレル／シリアル変換部 1528 に転送される。パラレル／シリアル変換部 1528 は入力した各アドレスの情報（各ピクセルのレベル情報）をシリアルデータに変換し、出力する。

パラレル／シリアル変換部 1528 の出力信号は、LCD 駆動部 1515 に送られて LCD (Liquid Crystal Display) 駆動用信号に変換される。LCD 駆動部 1515 は液晶ディスプレイ 1516 を駆動する。液晶ディスプレイ 1516 は、画像を表示する。

又、パラレル／シリアル変換部 1528 の出力信号は、外部のディスプレイ 1503 に伝送される。ディスプレイ 1503 は、画像を表示する。

通信ボード 1514 は、PCI バス 1512 を通じて伝送されてきたソフトウェア言語で記載した画像の変更指令（CPU 1511 が出力）を受信する。通信ボード 1514 は、ソフトウェア言語で記載した画像の変更指令を有線接続 1504 を通じて第 2 の端末装置 1502 に伝送する。

第 2 の端末装置 1502 の通信ボード 1531 は、受信したソフトウェア言語で記載した画像の変更指令をビデオグラフィックスコントロール部 1532 に伝送する。ビデオグラフィックスコントロール部 1532、1513 は、同一の構成を有する。ビデオグラフィックスコントロール部 1532 は、ソフトウェア言語で記載した画像の変更指令に基づいて各ピクセルの表示データを生成し、出力する。ディスプレイ 1533 は、表示データに従って、各ピクセルを駆動して画像を表示する。

しかし、従来の第 1 の端末装置と第 2 の端末装置とを有するコンピュータにおいては、第 1 の端末装置と第 2 の端末装置との情報のやり取りがソフトウェア言

語で記載した画像の変更指令で行われていた。そのため、異なるOSを搭載した第1の端末装置と第2の端末装置との間ではデータの受け渡しができなかった。特に、複数の異なるOSを搭載した第1の端末装置を有するユーザにおいては、第1のOSを搭載した第1の端末装置、第2の端末装置と、第2のOSを搭載した第1の端末装置、第2の端末装置とをきちんと区別して使用しなければならず、間違いも発生しやすい。例えば、第1のOSを搭載した第1の端末装置と第2のOSを搭載した第2の端末装置とを持って遠くに行った場合は、結局当該装置が使えないことになってしまう。そこで、複数の異なるOSを搭載した第1の端末装置を有するユーザにおいては、OSに依存しない第1の端末装置と第2の端末装置との間のデータ転送方式が求められる。

パラレル／シリアル変換部1528の出力信号をそのまま第2の端末装置1502に伝送する考えもある。しかし、例えばUXGA（1600×1200ピクセル）の画面にRGBそれぞれ8ビットのフルカラー表示をしたならば、パラレル／シリアル変換部1528の出力信号は46Mbpsを超える。このような高速のデータを無線伝送することは非常に困難である。

本発明は、OSに依存せず、低レートでの画像情報の無線伝送を可能にする画像情報の伝送装置、画像情報の伝送システム及び画像情報の伝送方法を提供することを目的とする。

#### 発明の要約

本発明は、下記の構成により上記の課題を解決する。

請求項1に記載の本発明は、中央演算処理装置が送出した画像情報を入力する入力部と、少なくとも前記画像情報に基づいて、画面上の各ピクセルのレベル情報を生成するレベル情報生成部と、画面の全領域の各ピクセルのレベル情報を記憶する記憶部と、前記画像情報に関連するピクセルを含む画面の領域を抽出する領域抽出部と、少なくとも前記レベル情報生成部が生成した各ピクセルのレベル情報及び前記記憶部に記憶された各ピクセルのレベル情報のいずれかに基づいて、前記画面の領域の各ピクセルのレベル情報を生成する更新領域レベル情報生成部と、前記画面の領域の各ピクセルのレベル情報の情報量を圧縮する圧縮部と、前

記画面の領域の位置情報と前記圧縮されたレベル情報とを送信する通信部と、を有することを特徴とする画像情報の伝送装置である。

請求項 2 に記載の本発明は、中央演算処理装置が送出した画像情報を入力する入力部と、少なくとも前記画像情報に基づいて、画面上の各ピクセルのレベル情報を生成するレベル情報生成部と、画面の全領域の各ピクセルのレベル情報を記憶する記憶部と、前記画像情報に関連するピクセルを含む画面の領域を抽出する領域抽出部と、少なくとも前記レベル情報生成部が生成した各ピクセルのレベル情報及び前記記憶部に記憶された各ピクセルのレベル情報に基づいて、前記抽出された画面の領域の各ピクセルのレベル情報の差分情報を生成する更新領域レベル情報生成部と、前記抽出された画面の領域の各ピクセルのレベル情報の差分情報の情報量を圧縮する圧縮部と、前記画面の領域の位置情報と前記圧縮された差分情報とを送信する通信部と、を有することを特徴とする画像情報の伝送装置である。

請求項 3 に記載の本発明は、前記抽出された画面の領域が、 $m$  行  $n$  列 ( $m$ 、 $n$  はそれぞれ 1 以上の正整数) のピクセルを含む矩形の領域であることを特徴とする請求項 1 又は請求項 2 に記載された画像情報の伝送装置である。

請求項 4 に記載の本発明は、前記抽出された画面の領域が、画面上の各ピクセルの行アドレスの上位  $i$  ビット (行アドレスを  $h$  ビットのデータとすると、 $i$  は  $1 \leq i \leq (h - 1)$  を満たす正整数) 及び列アドレスの上位  $j$  ビット (列アドレスを  $k$  ビットのデータとすると、 $j$  は  $1 \leq j \leq (k - 1)$  を満たす正整数) が同一であるピクセルの集合であることを特徴とする請求項 3 に記載された画像情報の伝送装置である。

請求項 5 に記載の本発明は、前記通信部が、無線通信部であることを特徴とする請求項 1 又は請求項 2 に記載された画像情報の伝送装置である。

請求項 6 に記載の本発明は、更に、前記更新領域レベル情報生成部が、少なくとも一定時間に 1 回以上、前記記憶部が画面の全領域の各ピクセルのレベル情報を出力し、前記圧縮部が、前記画面の全領域の各ピクセルのレベル情報の情報量を圧縮し、前記通信部が、前記圧縮された画面の全領域のレベル情報を前記圧縮された画面の領域のレベル情報又は前記圧縮された差分情報から識別する識別情

報と、前記圧縮された画面の全領域のレベル情報とを送信する、ことを特徴とする請求項 1 又は請求項 2 に記載された画像情報の伝送装置である。

請求項 7 に記載の本発明は、中央演算処理装置と請求項 1 に記載された画像情報の伝送装置とを含む第 1 の端末装置と、第 2 の端末装置と、を有し、前記第 2 の端末装置は、前記画面の領域の位置情報と前記圧縮されたレベル情報とを受信する通信部と、前記圧縮されたレベル情報を伸張して、抽出された画面の領域の各ピクセルのレベル情報を出力する伸張部と、画面の全領域の各ピクセルのレベル情報を記憶しており、前記画面の領域の位置情報に応じて、前記伸張部が出力した各ピクセルのレベル情報を記憶する記憶部と、前記記憶部に記憶された各ピクセルのレベル情報に応じて画面を表示する表示部と、を有する、ことを特徴とする画像情報の伝送システムである。

請求項 8 に記載の本発明は、中央演算処理装置と請求項 2 に記載された画像情報の伝送装置とを含む第 1 の端末装置部と、第 2 の端末装置と、を有し、前記第 2 の端末装置は、前記画面の領域の位置情報と前記圧縮された差分情報とを受信する通信部と、前記圧縮された差分情報を伸張して、抽出された画面の領域の各ピクセルの差分情報を生成する伸張部と、画面の全領域の各ピクセルのレベル情報を記憶しており、前記画面の領域の位置情報に応じて、レベル情報生成部が生成した各ピクセルのレベル情報を記憶する記憶部と、前記伸張部が生成した各ピクセルの差分情報と、前記記憶部に記憶された各ピクセルのレベル情報とに基づいて、各ピクセルのレベル情報を生成する前記レベル情報生成部と、前記記憶部に記憶された各ピクセルのレベル情報に応じて画面を表示する表示部と、を有する、ことを特徴とする画像情報の伝送システムである。

請求項 9 に記載の本発明は、前記第 1 の端末装置及び前記第 2 の端末装置の前記通信部が、それぞれ無線通信部であることを特徴とする請求項 7 又は請求項 8 に記載の画像情報の伝送システムである。

請求項 10 に記載の本発明は、中央演算処理装置が送出した画像情報を入力する入力ステップと、少なくとも前記画像情報に基づいて、画面上の各ピクセルのレベル情報を生成するレベル情報生成ステップと、前記各ピクセルのレベル情報を記憶部に記憶する記憶ステップと、前記画像情報に関連するピクセルを含む画

面の領域を抽出する領域抽出ステップと、少なくとも前記レベル情報生成ステップにおいて生成した各ピクセルのレベル情報及び前記記憶部に記憶された各ピクセルのレベル情報のいずれかに基づいて、前記画面の領域の各ピクセルのレベル情報を生成する更新領域レベル情報生成ステップと、前記画面の領域の各ピクセルのレベル情報の情報量を圧縮する圧縮ステップと、前記画面の領域の位置情報と前記圧縮されたレベル情報とを送信する送信ステップと、を有することを特徴とする画像情報の伝送方法である。

請求項 1 1 に記載の本発明は、中央演算処理装置が送出した画像情報を入力する入力ステップと、少なくとも前記画像情報に基づいて、画面上の各ピクセルのレベル情報を生成するレベル情報生成ステップと、前記画像情報に関連するピクセルを含む画面の領域を抽出する領域抽出ステップと、少なくとも前記レベル情報生成ステップにおいて生成した各ピクセルのレベル情報及び記憶部に記憶された各ピクセルのレベル情報に基づいて、前記抽出された画面の領域の各ピクセルのレベル情報の差分情報を生成する更新領域レベル情報生成ステップと、前記各ピクセルのレベル情報を前記記憶部に記憶する記憶ステップと、前記抽出された画面の領域の各ピクセルのレベル情報の差分情報の情報量を圧縮する圧縮ステップと、前記画面の領域の位置情報と前記圧縮された差分情報とを送信する送信ステップと、を有することを特徴とする画像情報の伝送方法である。

請求項 1 2 に記載の本発明は、前記抽出された画面の領域が、 $m$  行  $n$  列 ( $m$ 、 $n$  はそれぞれ 1 以上の正整数) のピクセルを含む矩形の領域であることを特徴とする請求項 1 0 又は請求項 1 1 に記載された画像情報の伝送方法である。

請求項 1 3 に記載の本発明は、前記抽出された画面の領域が、画面上の各ピクセルの行アドレスの上位  $i$  ビット (行アドレスを  $h$  ビットのデータとすると、 $i$  は  $1 \leq i \leq (h - 1)$  を満たす正整数) 及び列アドレスの上位  $j$  ビット (列アドレスを  $k$  ビットのデータとすると、 $j$  は  $1 \leq j \leq (k - 1)$  を満たす正整数) が同一であるピクセルの集合であることを特徴とする請求項 1 2 に記載された画像情報の伝送方法である。

請求項 1 4 に記載の本発明は、前記送信ステップにおいて、無線通信により情報を送信することを特徴とする請求項 1 0 又は請求項 1 1 に記載された画像情報



の伝送方法である。

請求項 15 に記載の本発明は、少なくとも一定時間に 1 回以上の頻度で、前記記憶部から画面の全領域の各ピクセルのレベル情報を読み出す全領域レベル情報生成ステップと、画面の全領域の各ピクセルのレベル情報の情報量を圧縮する全領域レベル情報圧縮ステップと、前記圧縮された画面の全領域のレベル情報を前記圧縮された画面の領域のレベル情報又は前記圧縮された差分情報から識別する識別情報と、前記圧縮された画面の全領域のレベル情報とを送信する全領域レベル情報送信ステップと、を更に有することを特徴とする請求項 10 又は請求項 11 に記載された画像情報の伝送方法である。

請求項 16 に記載の本発明は、請求項 10 に記載された画像情報の伝送方法の各ステップと、前記画面の領域の位置情報と、前記圧縮された画面の領域のレベル情報とを受信する通信ステップと、前記圧縮された画面の領域のレベル情報を伸張して、画面の領域の各ピクセルのレベル情報を出力する伸張ステップと、前記画面の領域の位置情報に応じて、前記伸張ステップにおいて出力した各ピクセルのレベル情報を記憶部に記憶する記憶ステップと、前記記憶部に記憶された各ピクセルのレベル情報に応じて画面を表示する表示ステップと、を有する、ことを特徴とする画像情報の伝送方法である。

請求項 17 に記載の本発明は、請求項 11 に記載された画像情報の伝送方法の各ステップと、前記画面の領域の位置情報と、前記圧縮された差分情報とを受信する受信ステップと、前記圧縮された差分情報を伸張して、抽出された画面の領域の各ピクセルのレベル情報の差分情報を生成する伸張ステップと、前記伸張ステップにおいて生成した各ピクセルのレベル情報の差分情報と、記憶部に記憶された各ピクセルのレベル情報とに基づいて、各ピクセルのレベル情報を生成するレベル情報生成ステップと、前記画面の領域の位置情報に応じて、前記レベル情報生成ステップが生成した各ピクセルのレベル情報を前記記憶部に記憶する記憶ステップと、前記記憶部に記憶された各ピクセルのレベル情報に応じて画面を表示する表示ステップと、を有する、ことを特徴とする画像情報の伝送方法である。

請求項 18 に記載の本発明は、前記送信ステップ及び前記受信ステップが、無線通信によって実行されることを特徴とする請求項 16 又は請求項 17 に記載の

画像情報の伝送方法である。

本発明は、全ての画像情報を伝送するのではなく、変化した部分の情報のみを伝送する。又、データの差分情報（前のデータと今のデータとの差分）を利用することにより、更に伝送する情報量を減らすことが出来る。

本発明は、OSに依存せず、画像情報の低ビットレートでの伝送（特に無線通信による伝送）を可能にする画像情報の伝送装置、画像情報の伝送システム及び画像情報の伝送方法を実現できるという作用を有する。

発明の新規な特徴は添付の請求の範囲に特に記載したものに他ならないが、構成及び内容の双方に関して本発明は、他の目的や特徴と共に、図面と共同して理解されるところの以下の詳細な説明から、より良く理解され評価されるであろう。

#### 図面の簡単な説明

図1は、実施例1のコンピュータにおける第1の端末装置のブロック図である。

図2は、実施例1のコンピュータにおける第2の端末装置のブロック図である。

図3は、第1の端末装置と第2の端末装置を有するコンピュータの概念図である。

図4は、実施例1の伝送装置、伝送システムを用いた画像情報の伝送方法の送信側のフローチャートである。

図5は、実施例1の伝送装置、伝送システムを用いた画像情報の伝送方法の受信側のフローチャートである。

図6は、実施例2のコンピュータにおける第1の端末装置のブロック図である。

図7は、実施例2のコンピュータにおける第2の端末装置のブロック図である。

図8は、実施例2の伝送装置、伝送システムを用いた画像情報の伝送方法の送信側のフローチャートである。

図9は、実施例2の伝送装置、伝送システムを用いた画像情報の伝送方法の受信側のフローチャートである。

図10は、圧縮パターン制御信号を説明する図である。

図11は、横方向にのみ連続する領域をまとめる方法を用いた場合に形成された、変更された領域のまとまりを示す図である。

図 1 2 は、縦方向及び横方向に連続する領域をまとめる方法を用いた場合に形成された、変更された領域の種々のまとまりを示す図である。

図 1 3 は、横方向にのみ連続する領域をまとめる方法を用いた場合の、書き込み上位アドレス記憶部に書き込まれたデータを示す図である。

図 1 4 は、縦方向及び横方向に連続する領域をまとめる方法を用いた場合の、書き込み上位アドレス記憶部に書き込まれた 2 次元データを示す図である。

図 1 5 は、第 1 の端末装置と第 2 の端末装置を有する従来のコンピュータのブロック図である。

図面の一部又は全部は、図示を目的とした概要的表現により描かれており、必ずしもそこに示された要素の実際の相対的大きさや位置を忠実に描写しているとは限らないことは考慮願いたい。

#### 発明の詳細な説明

以下本発明の実施をするための最良の形態を具体的に示した実施例について、図面とともに記載する。

##### 《実施例 1》

図 1 ～ 5 を用いて、実施例 1 の画像情報の伝送装置、画像情報の伝送システム及び画像情報の伝送方法を説明する。

図 3 は、第 1 の端末装置と第 2 の端末装置を有するコンピュータの概念図である。図 3 については、従来例において既に説明をしている。図 3 は、本発明の理解の容易のため、第 1 の端末装置と第 2 の端末装置を有するコンピュータの概念図の一例を示したもので、本発明の適用の対象は、図 3 の構成を有するコンピュータに限定されるわけではない。

##### ＜画像情報の伝送装置、画像情報の伝送システムの構成の説明＞

図 1、2 を用いて、第 1 の端末装置と第 2 の端末装置を有する本発明の実施例 1 のコンピュータに含まれる画像情報の伝送装置、画像情報の伝送システムの構成を説明する。

図 1 は、第 1 の端末装置と第 2 の端末装置を有する本発明の実施例 1 のコンピ

ュータにおける第1の端末装置101のブロック図（主としてコンピュータに含まれる画像情報の伝送装置、画像情報の伝送システムを表示している。）である。

図1において、第1の端末装置101は、CPU111、ビデオグラフィックスコントロール部113、無線通信部114、入出力部115を有する。第1の端末装置101に、外部のディスプレイ116を接続することも出来る。

図1において、コンピュータにとって不可欠であるが、本発明と直接関係しないROM、RAM等の記載は省略している。

CPU111、ビデオグラフィックスコントロール部113、及び入出力部115はPCIバス112で相互に接続されている。

ビデオグラフィックスコントロール部113は、CPU121、入出力部122、RAM123、VRAM124、書き込み／読み出しアドレスレジスタ125、読み出しアドレスレジスタ126、クロック発生器127、パラレル／シリアル変換部128、変化領域抽出部130、圧縮部131、RAM132、マルチプレクサ133及びパラレル／シリアル変換部134を有する。

CPU121、入出力部122、RAM123、VRAM124、書き込み／読み出しアドレスレジスタ125、変化領域抽出部130、圧縮部131等は、内部バス129で相互に接続されている。

変化領域抽出部130は、書き込み上位アドレス記憶部141、上位アドレス比較部142、ゲート143を有する。

CPU111は、ソフトウェア言語（例えばDirectX）で記載した画像の変更指令をPCIバス112を通じて、ビデオグラフィックスコントロール部113に伝送する。

ビデオグラフィックスコントロール部113の入出力部122は、入力したソフトウェア言語で記載した画像の変更指令を内部バス129を介してCPU121に伝送する。

CPU121は、ソフトウェア言語（当該コンピュータのOSのApplication Programming Interface上に配置されたプログラム）で記載した画像の変更指令を、画像情報デコーダ151を利用してハードウェアレベルでの各ピクセルのレベル情報（例えばVRAMのどのアドレスのデータをいくつに変更するという情報）

に変換する。RAM 123は、画像情報デコーダ151を利用して各ピクセルのレベル情報（「画像データ」と呼ぶ。）を生成する時のスクラッチ領域である。

VRAM 124は、任意のアドレスにランダムアクセスし、書き込み又は読み出し出来るポートと（書き込み／読み出しアドレスレジスタ125によりアドレスが指定される。）、高速で一定の順番で各アドレスのデータを読み出し出来るポート（読み出しアドレスレジスタ126によりアドレスが指定される。）とを有する画像表示用のデュアルポートRAMである。VRAM 124には、各ピクセルのレベル情報（RGB各サブピクセルのレベル情報）及びアトリビュートデータ等が記憶されている。

多くのビデオグラフィックスコントロール部では、RAM 123は、VRAM 124の一部を形成している。この場合、VRAMは、表示エリアと非表示エリアとを有し、表示エリアが図1のVRAM 124に相当し、非表示エリアが図1のRAM 123に相当する。

CPU 121等が、書き込み／読み出しアドレスレジスタ125にアドレスを設定する。当該アドレスに内部バス129を通じて画像データ（各ピクセルのレベル情報）が書き込まれ、当該アドレスから内部バス129を通じて画像データが読み出される。

変化領域抽出部130の書き込み上位アドレス記憶部141は、書き込み／読み出しアドレスレジスタ125に設定された書き込みアドレスの上位ビットを記憶する。書き込みアドレスがhビットの行アドレスデータとkビットの列アドレスデータとで構成されているとすると（h、kは2以上の任意の正整数）、書き込み上位アドレス記憶部141は行アドレスデータの上位iビット（iは $1 \leq i \leq h-1$ を満たす任意の整数）と、列アドレスデータの上位jビット（jは $1 \leq j \leq k-1$ を満たす任意の整数）とを記憶する。

これにより新たなデータが書き込まれたVRAM 124（RAM 123とVRAM 124とを含むVRAMであれば、VRAMの表示エリア）のアドレスの上位アドレスが記憶される。

クロック発生器127が読み出しアドレスレジスタ126を設定する。アドレスレジスタ126の設定値は通常極めて高速でインクリメントされる。アドレス

レジスタ126によって指定されたアドレスの画像データ（VRAM124に記憶された画像データ）が読み出されて、パラレル／シリアル変換部128に転送される。パラレル／シリアル変換部128は入力した各アドレスの画像データをシリアルデータに変換し、出力する。

パラレル／シリアル変換部128の出力信号は、外部のディスプレイ116に伝送される。ディスプレイ116は、シリアルデータ（各ピクセルのレベル情報）に基づいて画像を表示する。

読み出しアドレスレジスタ126によって指定されたアドレスの情報（VRAM124に記憶された情報）が読み出された時、上位アドレス比較部142は、読み出しアドレスレジスタ126の上位アドレスと、書き込み上位アドレス記憶部141に記憶した上位アドレスとを比較する。両者が一致した時、上位アドレス比較部142はゲート143を導通状態にする。両者が一致しない時、上位アドレス比較部142はゲート143を遮断状態にする。

ゲート143が導通状態の時、VRAM124が出力した画像データが圧縮部131に入力される。圧縮部131は、新たな画像データが書き込まれたアドレスを含む上位アドレスの画像データのみを入力する。画像データが全く書き換えられていない上位アドレスについては、その画像データは圧縮部131に入力されない。

圧縮部131は、入力した画像データを圧縮する。圧縮方法は任意である。例えばDCT（離散コサイン変換）等の符号化変換を行った後、ランレングス法による情報量の圧縮を行う。更に、ハフマンコーディング等のエントロピー符号化を行っても良い。RAM132は、圧縮部131が入力した画像データを一時記憶し、圧縮後の画像データを書き込むためのメモリである。圧縮部131は、情報量が圧縮された画像データを出力する。

マルチプレクサ133は、情報量が圧縮された画像データ（圧縮部131の出力信号）及び上位アドレス比較部142が出力する上位アドレス情報（上位行アドレス及び上位列アドレス）を入力し、これらの情報をマルチプレクスし、出力する。

マルチプレクサ133は、書き込み上位アドレス記憶部141から、出力した

上位アドレスを消去する。

圧縮部 1 3 1 が出力する情報は、上位行アドレス及び上位列アドレスで特定される矩形領域を単位とする情報である。従って、マルチプレクサ 1 3 3 が、上位行アドレス及び上位列アドレスと圧縮された画像データとをマルチプレクスして出力することにより、第 2 の端末装置では、圧縮された画像データがどのアドレスの情報かを特定できる。

パラレル／シリアル変換部 1 3 4 は、マルチプレクサ 1 3 3 の出力信号を入力し、シリアル信号に変換して出力する。

無線通信部 1 1 4 は、パラレル／シリアル変換部 1 3 4 の出力信号を入力し、無線で送信する。

VRAM 1 2 4 に記憶された各ピクセルのデータをそのまま全て伝送するのに比べて、実施例 1 の画像情報の伝送システムにおいては、無線で伝送される情報量ははるかに少ない。従って、無線での画像情報の伝送が可能になる。

無線通信部 1 1 4 は、第 2 の端末装置から送信された情報（ペン入力による指令等）を受信し、入出力部 1 1 5 に伝送する。入出力部 1 1 5 は、第 2 の端末装置から送信された情報を PCI バス 1 1 2 を通じて、CPU 1 1 1 に伝送する。

図 2 は、第 1 の端末装置と第 2 の端末装置を有する本発明の実施例 1 のコンピュータにおける第 2 の端末装置 1 0 2 のブロック図（主としてコンピュータに含まれる画像情報の伝送装置、画像情報の伝送システムを表示している。）である。

図 2 において、第 2 の端末装置 1 0 2 は、無線通信部 2 0 1、ビデオグラフィックスコントロール部 2 0 2、ディスプレイ 2 0 3（表示部）、ペン入力部 2 0 4 を有する。

ビデオグラフィックスコントロール部 2 0 2 は、CPU 2 1 1、シリアル／パラレル変換部 2 1 2、デマルチプレクサ 2 1 3、伸張部 2 1 4、RAM 2 1 5、入出力部 2 1 6、書き込み／読み出しアドレスレジスタ 2 1 7、VRAM 2 1 8、読み出しアドレスレジスタ 2 1 9、クロック発生器 2 2 0 を有する。

無線通信部 2 0 1、ビデオグラフィックスコントロール部 2 0 2（CPU 2 1 1、デマルチプレクサ 2 1 3、伸張部 2 1 4 及び入出力部 2 1 6）及びペン入力部 2 0 4 は内部バス 2 0 5 で相互に接続されている。

ディスプレイ 203 は、ピクセル駆動部 231、表示ライン制御部 232、多くのピクセルを含む表示画面 233 を有する。

無線通信部 201 は、第 1 の端末装置 101 の無線通信部 114 が送信したシリアル信号を受信する。シリアル／パラレル変換部 212 は、無線通信部 201 が受信したシリアル信号をパラレル信号に変換して出力する。デマルチプレクサ 213 は、シリアル／パラレル変換部 212 の出力信号を入力し、圧縮された画像データ及び上位アドレス情報（上位行アドレス及び上位列アドレス）に分離する。圧縮された画像データが伸長部 214 に入力される。伸長部 214 は、圧縮された画像データを伸長して、元の画像データ（各ピクセルのデータ）を出力する。RAM 215 は、伸長部 214 が圧縮された画像データを伸長するために使用するメモリである。

CPU 211 は、内部バス 205 を介して、デマルチプレクサ 213 から上位アドレス情報（上位行アドレス及び上位列アドレス）を読み出し、入出力部 216 に伝送する。上位アドレスに含まれない下位ビットの初期値は全て 0 とする。

CPU 211 は、内部バス 205 を介して、伸長部 214 から各ピクセルのデータを順次読み出し、入出力部 216 に伝送する。1 ピクセルのデータを読み出して入出力部 216 に伝送するたびに列アドレスを 1 だけインクリメントする。列アドレスが最大値を超えたならば、列アドレスの下位ビットを全て 0 にし、行アドレスを 1 だけインクリメントする。1 ピクセルのデータを読み出して入出力部 216 に伝送するたびに列アドレスを 1 だけインクリメントすることを繰り返す。

入出力部 216 を通じて、書き込み／読み出しアドレスレジスタ 217 にアドレスが書き込まれ、VRAM 218 のそのアドレスに、各ピクセルのデータが書き込まれる。

クロック発生器 220 が読み出しアドレスレジスタ 219 を設定する。アドレスレジスタ 219 の設定値は通常極めて高速でインクリメントされる。アドレスレジスタ 219 によって指定されたアドレスの情報（VRAM 218 に記憶された情報）が読み出されて、ディスプレイ 203 のピクセル駆動部 231 に転送される。ピクセル駆動部 231 に 1 行分のデータ（各ピクセルのレベル情報）が蓄



積されると、表示ライン制御部 232 で指定される行のピクセルが表示される。表示ライン制御部 232 は、クロック発生部 220 が出力するクロックを入力して動作する。各行のピクセルを順次表示することにより、表示画面 233 が全体で画像情報を表示する。

ユーザは、ディスプレイに設けられたペン入力部 204 を通じてコンピュータに対する指令を入力することが出来る。CPU 211 は、入力された指令を、ペン入力部 204 から無線通信部 201 に伝送する。無線通信部 201 は、入力された指令を送信する。

#### ＜画像情報の伝送方法の説明＞

図 4、図 5 を用いて、実施例 1 の画像情報の伝送方法を説明する。

図 4 は、実施例 1 の伝送装置、伝送システムを用いた画像情報の伝送方法の送信側（第 1 の端末装置 101）のフローチャートである。

最初に、ビデオグラフィックスコントロール部 113 が、CPU 111 が生成したソフトウェア言語で書かれた画像情報を入力する（ステップ 401）。次に、ビデオグラフィックスコントロール部 113 が画像情報を RAM に入力する（ステップ 402）。次に、ビデオグラフィックスコントロール部 113 が、画像情報デコーダを用いて、入力された画像情報をデコードし、新しい画像データ（各ピクセルのレベル情報）を生成する（ステップ 403）。次にビデオグラフィックスコントロール部 113 が、その VRAM に新しい画像データを書き込む（ステップ 404）。

次に、一定の時間毎に発生するフレームデータ送信要求が発生しているか否かをチェックする（ステップ 405）。フレームデータ送信要求が発生していればステップ 407 に進み、発生していなければステップ 406 に進む。

ステップ 406 で、VRAM から変化領域（入力した画像情報に基づいて各ピクセルのレベル情報を書き換えた領域を含む矩形領域）の画像データを読み出す。ステップ 408 に進む。

ステップ 407 において、VRAM から 1 フレーム分の画像データを読み出す。ステップ 408 に進む。

ステップ 408 で、圧縮パターン制御信号を生成する（ステップ 408）。複

数の上位アドレスにより規定される領域の画像データを同時に送信する場合に、圧縮パターン制御信号を使用する。圧縮パターン制御信号は、複数の領域が集まって大きな領域を形成する場合に、大きな領域の形状を表す情報である。圧縮パターン制御信号は2ビットのデータで、複数の上位アドレスにより規定される領域が横に連続する場合は01、複数の上位アドレスにより規定される領域が縦に連続する場合は10、複数の上位アドレスにより規定される領域が矩形の領域を構成する場合は11、複数の上位アドレスにより規定される領域が互いに独立していれば00である（図10参照）。

次にステップ409で、VRAM124から出力された上位アドレスにより規定される領域の画像データを圧縮する。複数の上位アドレスにより規定される領域が連続する場合、圧縮パターン制御信号に従いこれらをまとめて圧縮する。一般に圧縮は、圧縮する情報量が大きいほど情報量の圧縮率が向上する。

次に、ステップ410で、圧縮パターン制御信号と、各圧縮パターン制御信号に含まれる領域の先頭に位置する（画面上の左上隅に位置する）領域の上位アドレスと、各圧縮パターン制御信号に含まれる領域の最後に位置する（画面上の右下隅に位置する）領域の上位アドレスと（圧縮パターン制御信号が00の場合は省略される。）、圧縮された画像データと、をマルチプレクスし、マルチプレクスした信号を送信する。

図5は、実施例1の伝送装置、伝送システムを用いた画像情報の伝送方法の受信側（第2の端末装置102）のフローチャートである。

最初にステップ501で、第2の端末装置102の無線受信部201は、圧縮された画像データを含むマルチプレクスした信号を受信する。

次に、マルチプレクスした信号から、圧縮パターン制御信号と、各圧縮パターン制御信号に含まれる領域の先頭に位置する（画面上の左上隅に位置する）領域の上位アドレスと、各圧縮パターン制御信号に含まれる領域の最後に位置する（画面上の右下隅に位置する）領域の上位アドレスと（圧縮パターン制御信号が00の場合は省略される。）、圧縮された画像データとを分離し、圧縮された画像データをRAM215に格納する（ステップ502）。

次に、CPU211が、圧縮パターン制御信号と、各圧縮パターン制御信号に

含まれる領域の先頭に位置する（画面上の左上隅に位置する）領域の上位アドレスと、各圧縮パターン制御信号に含まれる領域の最後に位置する（画面上の右下隅に位置する）領域の上位アドレスと（圧縮パターン制御信号が00の場合は省略される。）を読み出す（ステップ503）。

次に、伸長部214が、圧縮された画像データを伸長する（ステップ504）。

次に、伸長された画像データを、VRAM218上の画像データの領域の先頭に位置する（画面上の左上隅に位置する）アドレスから、画像データの領域の最後に位置する（画面上の右下隅に位置する）アドレスまでに書き込む（ステップ505）。

次に、VRAM218から読み出しアドレスレジスタ219で読み出した画像データを順次ディスプレイ203に表示する（ステップ506）。

図10は、圧縮パターン制御信号を説明する図である。圧縮パターン制御信号は、複数の領域が集まって大きな領域を形成する場合に、大きな領域の形状を表す情報である。圧縮パターン制御信号は2ビットのデータで、複数の上位アドレスにより規定される領域が図10（a）のように横に連続する場合は01、複数の上位アドレスにより規定される領域が図10（b）のように縦に連続する場合は10、複数の上位アドレスにより規定される領域が図10（c）のように矩形の領域を構成する場合は11、複数の上位アドレスにより規定される領域が互いに独立していれば00である。

複数の上位アドレスにより規定される領域が連続する場合に、領域をまとめる方法を図11、12、13、14を用いて説明する。

図11、13は、横方向に連続する領域のみをまとめる方法を図示する。

図12、14は、横方向及び縦方向に連続する領域をまとめる方法を図示する。

図11、13を用いて、横方向に連続する領域のみをまとめる方法を説明する。

図11（a）の画面全体はディスプレイの表示画面全体を示し、斜線を付したブロックは、表示が変更されたブロックを示す。白いブロックは表示が変わっていないので、その画像データを送付する必要がない。

画像データが図11（a）で表示される時、画像情報の伝送装置（又は画像情報の伝送システム、伝送方法）は、図11（b）に示すA～Iの9個のまとまり、

又は図11(c)に示すA~Hの8個のまとまりを生成する。図11(b)は斜線を付したブロックのみを連続する領域にグルーピングする方法を図示する。図11(c)は、グルーピングの大きさが一定以上になる場合は、一定数以下の斜線を付していないブロックもまとまりに組み込むことを許容するアルゴリズムにより、斜線を付したブロックを連続する領域にグルーピングする方法を図示する。

図13は、横方向に連続する領域のみをまとめる方法を図示する。図13

(a)は、VRAMのデュアルポート構造を簡単に示す。VRAMは、WRITE ENABLE端子を制御して画像データを書き込むと同時に、READ ENABLE端子を制御して画像データを読み出すことが出来る。

図13(b)~(i)は、図11の第1行目に示す斜線を施したブロックが1つずつ変更されるにつれて、ブロックのまとまりがどのように変化するかを示す。

図13は、図11の第1行目において、上位アドレスが(1, 0)、(3, 0)、(4, 0)、(2, 0)であるブロックが順番に変更された時の様子を示す。

最初に、(1, 0)のブロックが変更される(図13(b))。CPU121は、このブロックが変更されたことを書き込み上位アドレス記憶部141に記憶する。CPU121が書き込み上位アドレス記憶部141のアドレス(1, 0)に1を書き込む(0は変更なしを、1以上は変更有りを表す。)前に、その左右のアドレス(0, 0)及び(2, 0)の値をチェックする(図13(f))。左右のアドレスの値はいずれも0であるから、アドレス(1, 0)は孤立した領域であることが分かる。

次に、(3, 0)のブロックが変更される(図13(c))。CPU121は、このブロックが変更されたことを書き込み上位アドレス記憶部141に記憶する。CPU121が書き込み上位アドレス記憶部141のアドレス(3, 0)に1を書き込む前に、その左右のアドレス(2, 0)及び(4, 0)の値をチェックする(図13(g))。左右のアドレスの値はいずれも0であるから、アドレス(3, 0)は孤立した領域であることが分かる。

次に、(4, 0)のブロックが変更される(図13(d))。CPU121は、このブロックが変更されたことを書き込み上位アドレス記憶部141に記憶する。

CPU 121 が書き込み上位アドレス記憶部 141 のアドレス (4, 0) に 1 を書き込む前に、その左右のアドレス (3, 0) 及び (5, 0) の値をチェックする (図 13 (h))。左のアドレス (3, 0) の値が 1、右のアドレス (5, 0) の値が 0 であるから、アドレス (4, 0) は左のアドレス (3, 0) に連続する領域であることが分かる。そこで、アドレス (4, 0) には 1 を、アドレス (3, 0) には 2 を書き込む。2 は変更があることと、変更された領域が 2 個連続していることを表す。

次に、(2, 0) のブロックが変更される (図 13 (e))。CPU 121 は、このブロックが変更されたことを書き込み上位アドレス記憶部 141 に記憶する。CPU 121 が書き込み上位アドレス記憶部 141 のアドレス (2, 0) に 1 を書き込む前に、その左右のアドレス (1, 0) 及び (3, 0) の値をチェックする (図 13 (i))。左のアドレス (1, 0) の値が 1、右のアドレス (3, 0) の値が 2 であるから、アドレス (2, 0) は左右のアドレス (1, 0) 及び (3, 0) に連続する領域であることが分かる。そこで、アドレス (2, 0) には 3 を書き込み、アドレス (1, 0) には 4 を書き込む。4 は変更があることと、変更された領域が 4 個連続していることを表す。

図 13 (i) には図示していないが、次にアドレス (0, 0) の値を読み出し、アドレス (0, 0) の値が 0 であることをチェックする。

このようにして、書き込み上位アドレス記憶部 141 には、変更された領域の上位アドレスと、変更された領域が左右に連なる数とが記憶される。

図 12、図 14 は、横方向及び縦方向に連続する領域をまとめる方法を図示する。図 12、14 を用いて、横方向及び縦方向に連続する領域をまとめる方法を説明する。

図 12 (a) の画面全体はディスプレイの表示画面全体を示し、斜線を付したブロックは、表示が変更されたブロックを示す。白いブロックは表示が変わっていないので、その画像データを送付する必要がない。

画像データが図 12 (a) で表示される時、画像情報の伝送装置 (又は画像情報の伝送システム、伝送方法) は、図 12 (b)、(c) に示す A~G の 7 個のまとめ、図 12 (d) に示す A~E の 5 個のまとめ、又は図 12 (e) に示

すA～Dの4個のまとまりを生成する。

図12(b)、(c)は斜線を付したブロックのみを連続する領域にグルーピングする方法を図示する。図12(d)、(e)は、グルーピングの大きさが一定以上になる場合は、一定数以下の斜線を付していないブロックもまとまりに組み込むことを許容するアルゴリズムにより、斜線を付したブロックを連続する領域にグルーピングする方法を図示する。

図14は、縦方向及び横方向に連続する領域をまとめる方法を用いた場合の、書き込み上位アドレス記憶部141に書き込まれた2次元データを図示する。図13においては、横方向のみに連続する変更されたブロックのまとまりを生成した。図14は、これを横方向のみならず、縦方向にも行った結果を示す。書き込み上位アドレス記憶部141に書き込まれたこの2次元データに基づいて、変更ブロックのまとまりを生成する。

例えば、最初にアドレス(1, 0)のブロックで、0でない値(4, 1)が発見される。(4, 1)の値より、縦方向に1の長さを有し、横方向に4の長さを有するブロックA(アドレス(1, 0)～(4, 0)を含む。)が定められる。

次に、アドレス(2, 1)のブロックで0でない値(3, 4)が発見される。アドレス(2, 1)～(4, 1)に格納された値は(3, 4)(2, 2)(1, 2)であるから、縦方向に2の長さを有し(2番目の数値4, 2, 2の最小値)、横方向に3の長さを有する((3, 4)の3より決定)ブロックB(アドレス(2, 1)(3, 1)(4, 1)(2, 2)(3, 2)(4, 2)を含む。)が定められる。

同様に、次にアドレス(2, 3)のブロックで0でない値(1, 2)が発見される。アドレス(2, 3)及び(2, 4)に格納された値は(1, 2)(3, 1)であるから、縦方向に2の長さを有し((1, 2)の2より決定)、横方向に1の長さを有する((1, 2)の1より決定)ブロックC(アドレス(2, 3)(2, 4)を含む。)が定められる。

以下同様にして、図13(c)に示す変更された領域のまとまりが形成される。

他の実施例においては、圧縮パターン制御信号と、各圧縮パターン制御信号に含まれる領域の先頭に位置する領域の上位アドレスと、各圧縮パターン制御信号

CPU 6 1 1、ビデオグラフィックスコントロール部 6 1 3、及び入出力部 6

15はPCIバス612で相互に接続されている。

ビデオグラフィックスコントロール部613は、CPU621、入出力部622、第1のVRAM624、第1のVRAM624の書き込み／読み出しアドレスレジスタ625、第1のVRAM624の読み出しアドレスレジスタ626、クロック発生器627、第2のVRAM628、第2のVRAM628の書き込み／読み出しアドレスレジスタ629、第2のVRAM628の読み出しアドレスレジスタ630、変化領域アドレス記憶部631、差分演算器632、インタ／イントラ切替スイッチ633、圧縮部635、RAM636、マルチプレクサ637及びパラレル／シリアル変換部638、639を有する。

CPU621、入出力部622、第1のVRAM624、第1のVRAM624の書き込み／読み出しアドレスレジスタ625、第2のVRAM628、第2のVRAM628の書き込み／読み出しアドレスレジスタ629、変化領域アドレス記憶部631、圧縮部635、インタ／イントラ切替スイッチ633等は、内部バス640で相互に接続されている。

CPU611は、ソフトウェア言語（例えばDirectX）で記載した画像の変更指令をPCIバス612を通じて、ビデオグラフィックスコントロール部613に伝送する。

ビデオグラフィックスコントロール部613の入出力部622は、入力したソフトウェア言語で記載した画像の変更指令を内部バス640を介してCPU621に伝送する。

CPU621は、ソフトウェア言語（当該コンピュータのOSのApplication Programming Interface上に配置されたプログラム）で記載した画像の変更指令（画像情報）を、画像情報デコーダ651を利用してハードウェアレベルでの各ピクセルのレベル情報（例えばVRAMのどのアドレスのデータをいくつに変更するという情報）に変換する。第2のVRAM628は、画像情報デコーダ651を利用して各ピクセルのレベル情報（「画像データ」と呼ぶ。）を生成する時のスクラッチ領域を含む。

第1のVRAM624は、任意のアドレスにランダムアクセスし、書き込み又は読み出し出来るポートと（書き込み／読み出しアドレスレジスタ625により



アドレスが指定される。)、高速で一定の順番で各アドレスのデータを読み出し出来るポート(読み出しアドレスレジスタ626によりアドレスが指定される。))とを有する画像表示用のデュアルポートRAMである。第1のVRAM624には、各ピクセルのレベル情報(RGB各サブピクセルのレベル情報)及びアトリビュートデータ等が記憶されている。

第2のVRAM628は、任意のアドレスにランダムアクセスし、書き込み又は読み出し出来るポートと(書き込み/読み出しアドレスレジスタ629によりアドレスが指定される。)、高速で一定の順番で各アドレスのデータを読み出し出来るポート(読み出しアドレスレジスタ630によりアドレスが指定される。))とを有する画像表示用のデュアルポートRAMである。CPU621は、入力した画像情報を第2のVRAM628に書き込んだ後、これをデコードし、デコードされた各ピクセルの画像データ(RGB各サブピクセルのレベル情報)及びアトリビュートデータ等を第2のVRAM628の所定の場所に記憶させる。この段階では、新しい画像データは第2のVRAM628に書き込まれているが、第1のVRAM624には書き込まれていない。

CPU621等が、書き込み/読み出しアドレスレジスタ625、629にアドレスを設定する。第1のVRAM624及び第2のVRAM628のそれぞれのアドレスに内部バス640を通じて画像データが書き込まれ、それぞれのアドレスから内部バス640を通じて画像データが読み出される。

CPU621は、書き込み/読み出しアドレスレジスタ629に設定された書き込みアドレスの上位ビットを変化領域アドレス記憶部631に記憶させる。書き込みアドレスがhビットの行アドレスデータとkビットの列アドレスデータとで構成されているとすると(h、kは2以上の任意の正整数)、書き込み上位アドレス記憶部141は行アドレスデータの上位iビット(iは $1 \leq i \leq h-1$ を満たす任意の整数)と、列アドレスデータの上位jビット(jは $1 \leq j \leq k-1$ を満たす任意の整数)とを記憶させる。

これにより新たなデータが書き込まれた第2のVRAM628のアドレスの上位アドレスが記憶される。

クロック発生器627が読み出しアドレスレジスタ626、630を設定する。

アドレスレジスタ 6 2 6、6 3 0 の設定値は通常極めて高速でインクリメントされる。アドレスレジスタ 6 2 6、6 3 0 によって指定されたアドレスの画像データ（第 1 の VRAM 6 2 4 に記憶された画像データ及び第 2 の VRAM 6 2 8 に記憶された画像データ）が読み出される。

第 1 の VRAM 6 2 4 から読み出された画像データは差分演算器 6 3 2、インタ／イントラ切換スイッチ 6 3 3 のイントラ入力端子、及びパラレル／シリアル変換部 6 3 9 に伝送される。パラレル／シリアル変換部 6 3 9 は入力した各アドレスの画像データをシリアルデータに変換し、出力する。

パラレル／シリアル変換部 6 3 9 の出力信号は、外部のディスプレイ 6 1 6 に伝送される。ディスプレイ 6 1 6 は、シリアルデータ（各ピクセルの画像データ）に基づいて画像を表示する。

第 2 の VRAM 6 2 8 から読み出された画像データは差分演算器 6 3 2 に伝送される。

差分演算器 6 3 2 は、第 1 の VRAM 6 2 4 から読み出された画像データと、第 2 の VRAM 6 2 8 から読み出された画像データと、変化領域アドレス記憶部 6 3 1 の出力信号（変化領域のアドレス）を入力し、変化領域における画像データの差分（＝（第 2 の VRAM 6 2 8 から読み出された画像データ）－（第 1 の VRAM 6 2 4 から読み出された画像データ））を演算する。

演算した差分情報をインタ／イントラ切換スイッチ 6 3 3 のインター入力端子に伝送する。

インタ／イントラ切換スイッチ 6 3 3 は、通常はインター入力端子に入力された信号を圧縮部 6 3 5 に伝送する（「インターモード」と言う。）。フレームデータ要求信号（定期的に発生する。）が発生すると、インタ／イントラ切換スイッチ 6 3 3 は、イントラ入力端子に入力された信号を圧縮部 6 3 5 に伝送する（「イントラモード」と言う。）。

インターモードにおいては、圧縮部 6 3 5 は、変化領域の差分情報を入力し、RAM 6 3 6 を使って差分情報の情報量を圧縮する。イントラモードにおいては、圧縮部 6 3 5 は、1 フレーム分の各ピクセルの画像データを入力し、RAM 6 3 6 を使ってその情報量を圧縮する。圧縮手法は実施例 1 の圧縮部 1 3 1 と同様で

ある。

マルチプレクサ637は、圧縮された差分情報（又は圧縮された1フレーム分の各ピクセルの画像データ）と、変化領域記憶部631の出力信号（変化領域の上位アドレスデータ）と、CPU621からの指令信号（インターモード又はイントラモードを指定する信号等）を入力し、これらの情報をマルチプレクスして出力する。

パラレル／シリアル変換部638は、マルチプレクスされた情報を入力し、シリアル信号に変換して出力する。

無線通信部614は、シリアル信号を入力し、無線で送信する。

CPU621は、送信が完了すると、変化領域の各ピクセルの画像データを第2のVRAM628から第1のVRAM624にコピーする。CPU621は、変化領域アドレス記憶部631に記憶されている変化領域のアドレスリストを消去する。

無線通信部614は、第2の端末装置から送信された情報（ペン入力による指令等）を受信し、入出力部615に伝送する。入出力部615は、第2の端末装置から送信された情報をPCIバス612を通じて、CPU611に伝送する。

図7は、第1の端末装置と第2の端末装置を有する本発明の実施例2のコンピュータにおける第2の端末装置602のブロック図（主としてコンピュータに含まれる画像情報の伝送装置、画像情報の伝送システムを表示している。）である。

図7において、第2の端末装置602は、無線通信部701、ビデオグラフィックスコントロール部702、ディスプレイ703（表示部）、ペン入力部704を有する。

ビデオグラフィックスコントロール部702は、CPU711、シリアル／パラレル変換部712、デマルチプレクサ713、伸張部714、RAM715、画像データ生成部716、RAM717、入出力部718、書き込み／読み出しアドレスレジスタ719、VRAM720、読み出しアドレスレジスタ721、クロック発生器722を有する。

無線通信部701、ビデオグラフィックスコントロール部702（CPU711、デマルチプレクサ713、画像データ生成部716及び入出力部718）及

びペン入力部 704 は内部バス 705 で相互に接続されている。

ディスプレイ 703 は、ピクセル駆動部 731、表示ライン制御部 732、多くのピクセルを含む表示画面 733 を有する。

無線通信部 701 は、第 1 の端末装置 601 の無線通信部 614 が送信したシリアル信号を受信する。シリアル／パラレル変換部 712 は、無線通信部 701 が受信したシリアル信号をパラレル信号に変換して出力する。デマルチプレクサ 713 は、シリアル／パラレル変換部 712 の出力信号を入力し、圧縮された差分情報（又は圧縮された 1 フレーム分の各ピクセルの画像データ）と、変化領域のアドレスデータと、インターモード又はイントラモードを指定する信号等に分離する。

インターモードにおいては、圧縮された差分情報が伸長部 714 に入力される。伸長部 714 は、圧縮された差分情報を伸長して、元の差分情報を出力する。RAM 715 は、伸長部 714 が圧縮された画像データを伸長するために使用するメモリである。画像データ生成部 716 は、伸長された差分情報（伸長部 714 の出力信号）と現在の画像データ（VRAM 720 の出力信号）とを入力し、新たな画像データ（各ピクセルのレベル情報）を生成して出力する。新たな画像データ＝現在の画像データ＋差分情報 の式により演算する。RAM 717 は、画像データ生成部 716 が新たな画像データを生成するために使用するメモリである。

イントラモードにおいては、圧縮された 1 フレーム分の各ピクセルの画像データが伸長部 714 に入力される。伸長部 714 は、圧縮された 1 フレーム分の各ピクセルの画像データを伸長して、伸長された 1 フレーム分の各ピクセルの画像データを出力する。画像データ生成部 716 は、伸長された 1 フレーム分の各ピクセルの画像データを入力して、そのまま出力する。

CPU 711 は、内部バス 705 を介して、デマルチプレクサ 713 からインターモード又はイントラモードを指定する信号と変化領域の上位アドレスデータ（上位行アドレス及び上位列アドレス）とを入力し、入出力部 718 に伝送する。上位アドレスに含まれない下位ビットの初期値は全て 0 とする。

CPU 711 は、内部バス 705 を介して、画像データ生成部 716 から各ピ

クセルのレベル情報を順次読み出し、入出力部 7 1 8 に伝送する。1 ピクセルのレベル情報を読み出して入出力部 7 1 8 に伝送するたびに列アドレスを 1 だけインクリメントする。列アドレスが最大値を超えたならば、列アドレスの下位ビットを全て 0 にし、行アドレスを 1 だけインクリメントする。1 ピクセルのデータを読み出して入出力部 7 1 8 に伝送するたびに列アドレスを 1 だけインクリメントすることを繰り返す。

入出力部 7 1 8 を通じて、書き込み／読み出しアドレスレジスタ 7 1 9 にアドレスが書き込まれ、VRAM 7 2 0 のそのアドレスに、各ピクセルのデータが書き込まれる。

クロック発生器 7 2 2 が読み出しアドレスレジスタ 7 2 1 を設定する。アドレスレジスタ 7 2 1 の設定値は通常極めて高速でインクリメントされる。アドレスレジスタ 7 2 1 によって指定されたアドレスの情報（VRAM 7 2 0 に記憶された各ピクセルのレベル情報）が読み出されて、ディスプレイ 7 0 3 のピクセル駆動部 7 3 1 に転送される。ピクセル駆動部 7 3 1 に 1 行分の各ピクセルのレベル情報が蓄積されると、表示ライン制御部 7 3 2 で指定される行のピクセルが表示される。表示ライン制御部 7 3 2 は、クロック発生部 7 2 2 が出力するクロックを入力して動作する。各行のピクセルを順次表示することにより、表示画面 7 3 3 が全体で画像情報を表示する。

ユーザは、ディスプレイに設けられたペン入力部 7 0 4 を通じてコンピュータに対する指令を入力することが出来る。CPU 7 1 1 は、入力された指令を、ペン入力部 7 0 4 から無線通信部 7 0 1 に伝送する。無線通信部 7 0 1 は、入力された指令を送信する。

#### ＜画像情報の伝送方法の説明＞

図 8、図 9 を用いて、実施例 2 の画像情報の伝送方法を説明する。

図 8 は、実施例 2 の伝送装置、伝送システムを用いた画像情報の伝送方法の送信側（第 1 の端末装置 6 0 1）のフローチャートである。

最初に、ビデオグラフィックスコントロール部 6 1 3 が、CPU 6 1 1 が生成したソフトウェア言語で書かれた画像情報を入力する（ステップ 8 0 1）。次に、ビデオグラフィックスコントロール部 6 1 3 が画像情報を第 2 の VRAM 6 2 8

に入力する（ステップ802）。次に、ビデオグラフィックスコントロール部613が、画像情報デコーダを用いて、入力された画像情報をデコードし、新しい画像データ（各ピクセルのレベル情報）を生成する（ステップ803）。次にビデオグラフィックスコントロール部613が、第1のVRAM624から現在の画像データを読み出し、第2のVRAMから新しい画像データを読み出す（ステップ804）。

次に、ビデオグラフィックスコントロール部613は、新しい画像データから現在の画像データを差し引いて、差分情報を生成する（ステップ805）。

次に、ビデオグラフィックスコントロール部613は、新しい画像データを第1のVRAM624に書き込む（ステップ806）。

次に、一定の時間毎に発生するイントラフレームデータ送信要求が発生しているか否かをチェックする（ステップ807）。イントラフレームデータ送信要求が発生していればステップ811に進み、発生していなければステップ808に進む。

ステップ808で、ビデオグラフィックスコントロール部613は、変化領域の圧縮パターン制御信号（実施例1参照）を生成する。次に、差分情報を読み出し、差分情報の情報量を圧縮する（ステップ809）。次に、インターモードを指定する信号、圧縮パターン制御信号、各圧縮パターン制御信号に含まれる領域の先頭に位置する（画面上の左上隅に位置する）領域の上位アドレス、各圧縮パターン制御信号に含まれる領域の最後に位置する（画面上の右下隅に位置する）領域の上位アドレス、及び圧縮された差分情報をマルチプレクスし、マルチプレクスした信号を第1の端末装置から第2の端末装置に送信する（ステップ810）。処理を終了する。

ステップ811で（イントラフレームデータ送信要求が発生している時）、ビデオグラフィックスコントロール部613は、第1のVRAM624から1フレーム分の画像データを読み出す。次に、圧縮パターン制御信号（この場合は1）を生成する（ステップ812）。次に、1フレーム分の画像データを圧縮する（ステップ813）。次に、インターモードを指定する信号、圧縮パターン制御信号、各圧縮パターン制御信号に含まれる領域の先頭に位置する（画面上の左

上隅に位置する) 領域の上位アドレス、各圧縮パターン制御信号に含まれる領域の最後に位置する(画面上の右下隅に位置する) 領域の上位アドレス、及び圧縮された1フレーム分の画像データをマルチプレクスし、マルチプレクスした信号を第1の端末装置から第2の端末装置に送信する(ステップ814)。処理を終了する。

図9は、実施例2の伝送装置、伝送システムを用いた画像情報の伝送方法の受信側(第2の端末装置602)のフローチャートである。

最初にステップ901で、第2の端末装置602の無線受信部701は、圧縮された差分情報(又は圧縮された1フレーム分の画像データ)を含むマルチプレクスした信号を受信する。

次に、マルチプレクスした信号から、インターモード又はイントラモードを指定する信号、圧縮パターン制御信号と、各圧縮パターン制御信号に含まれる領域の先頭に位置する(画面上の左上隅に位置する) 領域の上位アドレスと、各圧縮パターン制御信号に含まれる領域の最後に位置する(画面上の右下隅に位置する) 領域の上位アドレスと(圧縮パターン制御信号が00の場合は省略される)、圧縮された差分情報(又は圧縮された1フレーム分の画像データ)とを分離し、圧縮された差分情報(又は圧縮された1フレーム分の画像データ)をRAM715に格納する(ステップ902)。

次に、インターモード又はイントラモードを指定する信号をチェックする(ステップ903)。もしイントラモードであれば、ステップ910に進む。もしインターモードであれば、ステップ904に進む。

ステップ904において(インターモード)、圧縮パターン制御信号をRAMから読み出す。次に、圧縮された差分情報を伸長する(ステップ905)。

次に、ビデオグラフィックスコントロール部702は、VRAM720から現在の画像データを読み出す(ステップ906)。次に、現在の画像データに差分情報を加算して、新しい画像データを生成する(ステップ907)。次に、新しい画像データをVRAM720に書き込む(ステップ908)。次に、VRAMから読み出された画像データをディスプレイに表示する(ステップ909)。処理を終了する。

発明をある程度の詳細さをもって好適な形態について説明したが、この好適形態の現開示内容は構成の細部において変化してしかるべきものであり、各要素の組合せや順序の変化は請求された発明の範囲及び思想を逸脱することなく実現し得るものである。



## 特許請求の範囲

1. 中央演算処理装置が送出した画像情報を入力する入力部と、  
 少なくとも前記画像情報に基づいて、画面上の各ピクセルのレベル情報を生成するレベル情報生成部と、  
 画面の全領域の各ピクセルのレベル情報を記憶する記憶部と、  
 前記画像情報に関連するピクセルを含む画面の領域を抽出する領域抽出部と、  
 少なくとも前記レベル情報生成部が生成した各ピクセルのレベル情報及び前記記憶部に記憶された各ピクセルのレベル情報のいずれかに基づいて、前記画面の領域の各ピクセルのレベル情報を生成する更新領域レベル情報生成部と、  
 前記画面の領域の各ピクセルのレベル情報の情報量を圧縮する圧縮部と、  
 前記画面の領域の位置情報と前記圧縮されたレベル情報とを送信する通信部と、  
 を有することを特徴とする画像情報の伝送装置。
2. 中央演算処理装置が送出した画像情報を入力する入力部と、  
 少なくとも前記画像情報に基づいて、画面上の各ピクセルのレベル情報を生成するレベル情報生成部と、  
 画面の全領域の各ピクセルのレベル情報を記憶する記憶部と、  
 前記画像情報に関連するピクセルを含む画面の領域を抽出する領域抽出部と、  
 少なくとも前記レベル情報生成部が生成した各ピクセルのレベル情報及び前記記憶部に記憶された各ピクセルのレベル情報に基づいて、前記抽出された画面の領域の各ピクセルのレベル情報の差分情報を生成する更新領域レベル情報生成部と、  
 前記抽出された画面の領域の各ピクセルのレベル情報の差分情報の情報量を圧縮する圧縮部と、  
 前記画面の領域の位置情報と前記圧縮された差分情報とを送信する通信部と、  
 を有することを特徴とする画像情報の伝送装置。
3. 前記抽出された画面の領域が、 $m$ 行 $n$ 列 ( $m$ 、 $n$ はそれぞれ1以上の正整

数) のピクセルを含む矩形の領域であることを特徴とする請求項 1 又は請求項 2 に記載された画像情報の伝送装置。

4. 前記抽出された画面の領域が、画面上の各ピクセルの行アドレスの上位  $i$  ビット (行アドレスを  $h$  ビットのデータとすると、 $i$  は  $1 \leq i \leq (h-1)$  を満たす正整数) 及び列アドレスの上位  $j$  ビット (列アドレスを  $k$  ビットのデータとすると、 $j$  は  $1 \leq j \leq (k-1)$  を満たす正整数) が同一であるピクセルの集合であることを特徴とする請求項 3 に記載された画像情報の伝送装置。

5. 前記通信部が、無線通信部であることを特徴とする請求項 1 又は請求項 2 に記載された画像情報の伝送装置。

6. 更に、前記更新領域レベル情報生成部が、少なくとも一定時間に 1 回以上、前記記憶部が画面の全領域の各ピクセルのレベル情報を出力し、

前記圧縮部が、前記画面の全領域の各ピクセルのレベル情報の情報量を圧縮し、

前記通信部が、前記圧縮された画面の全領域のレベル情報を前記圧縮された画面の領域のレベル情報又は前記圧縮された差分情報から識別する識別情報と、前記圧縮された画面の全領域のレベル情報とを送信する、

ことを特徴とする請求項 1 又は請求項 2 に記載された画像情報の伝送装置。

7. 中央演算処理装置と請求項 1 に記載された画像情報の伝送装置とを含む第 1 の端末装置と、

第 2 の端末装置と、

を有し、

前記第 2 の端末装置は、

前記画面の領域の位置情報と前記圧縮されたレベル情報とを受信する通信部と、

前記圧縮されたレベル情報を伸張して、抽出された画面の領域の各ピクセルのレベル情報を出力する伸張部と、

画面の全領域の各ピクセルのレベル情報を記憶しており、前記画面の領域の位

置情報に応じて、前記伸長部が出力した各ピクセルのレベル情報を記憶する記憶部と、

前記記憶部に記憶された各ピクセルのレベル情報に応じて画面を表示する表示部と、

を有する、

ことを特徴とする画像情報の伝送システム。

8. 中央演算処理装置と請求項 2 に記載された画像情報の伝送装置とを含む第 1 の端末装置部と、

第 2 の端末装置と、

を有し、

前記第 2 の端末装置は、

前記画面の領域の位置情報と前記圧縮された差分情報とを受信する通信部と、

前記圧縮された差分情報を伸張して、抽出された画面の領域の各ピクセルの差分情報を生成する伸張部と、

画面の全領域の各ピクセルのレベル情報を記憶しており、前記画面の領域の位置情報に応じて、レベル情報生成部が生成した各ピクセルのレベル情報を記憶する記憶部と、

前記伸張部が生成した各ピクセルの差分情報と、前記記憶部に記憶された各ピクセルのレベル情報とに基づいて、各ピクセルのレベル情報を生成する前記レベル情報生成部と、

前記記憶部に記憶された各ピクセルのレベル情報に応じて画面を表示する表示部と、

を有する、

ことを特徴とする画像情報の伝送システム。

9. 前記第 1 の端末装置及び前記第 2 の端末装置の前記通信部が、それぞれ無線通信部であることを特徴とする請求項 7 又は請求項 8 に記載の画像情報の伝送システム。

10. 中央演算処理装置が送出した画像情報を入力する入力ステップと、  
少なくとも前記画像情報に基づいて、画面上の各ピクセルのレベル情報を生成するレベル情報生成ステップと、

前記各ピクセルのレベル情報を記憶部に記憶する記憶ステップと、  
前記画像情報に関連するピクセルを含む画面の領域を抽出する領域抽出ステップと、

少なくとも前記レベル情報生成ステップにおいて生成した各ピクセルのレベル情報及び前記記憶部に記憶された各ピクセルのレベル情報のいずれかに基づいて、前記画面の領域の各ピクセルのレベル情報を生成する更新領域レベル情報生成ステップと、

前記画面の領域の各ピクセルのレベル情報の情報量を圧縮する圧縮ステップと、  
前記画面の領域の位置情報と前記圧縮されたレベル情報とを送信する送信ステップと、

を有することを特徴とする画像情報の伝送方法。

11. 中央演算処理装置が送出した画像情報を入力する入力ステップと、  
少なくとも前記画像情報に基づいて、画面上の各ピクセルのレベル情報を生成するレベル情報生成ステップと、

前記画像情報に関連するピクセルを含む画面の領域を抽出する領域抽出ステップと、

少なくとも前記レベル情報生成ステップにおいて生成した各ピクセルのレベル情報及び記憶部に記憶された各ピクセルのレベル情報に基づいて、前記抽出された画面の領域の各ピクセルのレベル情報の差分情報を生成する更新領域レベル情報生成ステップと、

前記各ピクセルのレベル情報を前記記憶部に記憶する記憶ステップと、

前記抽出された画面の領域の各ピクセルのレベル情報の差分情報の情報量を圧縮する圧縮ステップと、

前記画面の領域の位置情報と前記圧縮された差分情報とを送信する送信ステッ

プと、

を有することを特徴とする画像情報の伝送方法。

1 2. 前記抽出された画面の領域が、 $m$ 行 $n$ 列 ( $m$ 、 $n$ はそれぞれ1以上の正整数) のピクセルを含む矩形の領域であることを特徴とする請求項1 0又は請求項1 1に記載された画像情報の伝送方法。

1 3. 前記抽出された画面の領域が、画面上の各ピクセルの行アドレスの上位  $i$  ビット (行アドレスを  $h$  ビットのデータとすると、 $i$  は  $1 \leq i \leq (h-1)$  を満たす正整数) 及び列アドレスの上位  $j$  ビット (列アドレスを  $k$  ビットのデータとすると、 $j$  は  $1 \leq j \leq (k-1)$  を満たす正整数) が同一であるピクセルの集合であることを特徴とする請求項1 2に記載された画像情報の伝送方法。

1 4. 前記送信ステップにおいて、無線通信により情報を送信することを特徴とする請求項1 0又は請求項1 1に記載された画像情報の伝送方法。

1 5. 少なくとも一定時間に1回以上の頻度で、前記記憶部から画面の全領域の各ピクセルのレベル情報を読み出す全領域レベル情報生成ステップと、

画面の全領域の各ピクセルのレベル情報の情報量を圧縮する全領域レベル情報圧縮ステップと、

前記圧縮された画面の全領域のレベル情報を前記圧縮された画面の領域のレベル情報又は前記圧縮された差分情報から識別する識別情報と、前記圧縮された画面の全領域のレベル情報とを送信する全領域レベル情報送信ステップと、

を更に有することを特徴とする請求項1 0又は請求項1 1に記載された画像情報の伝送方法。

1 6. 請求項1 0に記載された画像情報の伝送方法の各ステップと、

前記画面の領域の位置情報と、前記圧縮された画面の領域のレベル情報とを受信する通信ステップと、

前記圧縮された画面の領域のレベル情報を伸張して、画面の領域の各ピクセルのレベル情報を出力する伸張ステップと、

前記画面の領域の位置情報に応じて、前記伸張ステップにおいて出力した各ピクセルのレベル情報を記憶部に記憶する記憶ステップと、

前記記憶部に記憶された各ピクセルのレベル情報に応じて画面を表示する表示ステップと、

を有する、

ことを特徴とする画像情報の伝送方法。

17. 請求項11に記載された画像情報の伝送方法の各ステップと、

前記画面の領域の位置情報と、前記圧縮された差分情報とを受信する受信ステップと、

前記圧縮された差分情報を伸張して、抽出された画面の領域の各ピクセルのレベル情報の差分情報を生成する伸張ステップと、

前記伸張ステップにおいて生成した各ピクセルのレベル情報の差分情報と、記憶部に記憶された各ピクセルのレベル情報とに基づいて、各ピクセルのレベル情報を生成するレベル情報生成ステップと、

前記画面の領域の位置情報に応じて、前記レベル情報生成ステップが生成した各ピクセルのレベル情報を前記記憶部に記憶する記憶ステップと、

前記記憶部に記憶された各ピクセルのレベル情報に応じて画面を表示する表示ステップと、

を有する、

ことを特徴とする画像情報の伝送方法。

18. 前記送信ステップ及び前記受信ステップが、無線通信によって実行されることを特徴とする請求項16又は請求項17に記載の画像情報の伝送方法。

## 要約書

本発明は、OSに依存せず、低レートでの画像情報の無線伝送を可能にする画像情報の伝送装置を提供する。本発明の画像情報の伝送装置は、中央演算処理装置が送出した画像情報を入力する入力部と、少なくとも前記画像情報に基づいて、画面上の各ピクセルのレベル情報を生成するレベル情報生成部と、画面の全領域の各ピクセルのレベル情報を記憶する記憶部と、前記画像情報に関連するピクセルを含む画面の領域を抽出する領域抽出部と、前記レベル情報生成部が生成した各ピクセルのレベル情報に基づいて、前記画面の領域の各ピクセルのレベル情報を生成する更新領域レベル情報生成部と、前記画面の領域の各ピクセルのレベル情報の情報量を圧縮する圧縮部と、前記画面の領域の位置情報と前記圧縮されたレベル情報とを送信する通信部と、を有する。

09044565.042701